

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02067665 A**

(43) Date of publication of application: **07.03.90**

(51) Int. Cl

G06F 13/36
G06F 5/06

(21) Application number: **63218434**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **02.09.88**

(72) Inventor: **UTSUGI KIYOSHI**

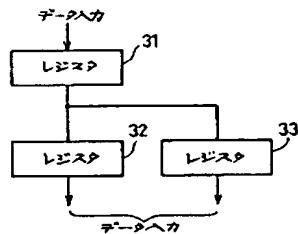
(54) INTERFACE CIRCUIT

(57) Abstract:

PURPOSE: To efficiently utilize a register constituting an interface circuit by using two registers to constitute one stage and using a register to constitute the other stage.

CONSTITUTION: Input data are successively stored in a register 31. When data (higher rank) for 8 bits are stored, the 8-bit data are transferred to a register 32. The register 31 continuously and successively stores input data again. When data for 8 bits are stored again, the 8-bit data are transferred to a register 33. Thus, the preceding 8-bit data are stored in the case of processing data with 16-bit width. When the input data are switched from 16 bits to 8 bits, the preceding 8-bit data are held. When the input data have 8-bit width, 16 bits can not be held. Thus, the capacity of the registers in an interface circuit can be reduced.

COPYRIGHT: (C)1990,JPO&Japio



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平2-67665

⑬ Int. Cl. 5

G 06 F 13/36
5/06

識別記号 320 B
333 8840-5B
7230-5B

⑭ 公開 平成2年(1990)3月7日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 インタフェイス回路

⑯ 特 願 昭63-218434

⑰ 出 願 昭63(1988)9月2日

⑱ 発明者 宇都木深 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 伊東忠彦 外2名

明細書

1. 発明の名称

インターフェイス回路

2. 特許請求の範囲

シリアルデータを一時保持するレジスタを2段構成にし、いずれか一方の段のレジスタを2つのレジスタ(32, 33)で構成し、他方の段のレジスタを1つのレジスタ(31)で構成し、前記1つのレジスタ(31)のビット幅は前記2つのレジスタ(32, 33)の合計のビット幅より小さいことを特徴とするインターフェイス回路。

3. 発明の詳細な説明

(概要)

ディジタル・シグナル・プロセッサ(DSP)等のシリアル入出力インターフェイス回路に関し、小さな回路規模で、インターフェイス回路を構成

するレジスタを効率良く用いることを目的とし、シリアルデータを一時保持するレジスタを2段構成にし、いずれか一方の段のレジスタを2つのレジスタで構成し、他方の段のレジスタを1つのレジスタで構成し、前記1つのレジスタのビット幅は前記2つのレジスタの合計のビット幅より小さくなるように構成する。

(産業上の利用分野)

本発明は、ディジタル・シグナル・プロセッサ(DSP)等のシリアル入出力インターフェイス回路に関する。

今日、ディジタル・シグナル・プロセッサは通信等の分野で広く用いられている。一般に、入力されるシリアルデータに対してDMA転送を行なう場合、あるいはDMA転送にてシリアルデータを出力する場合、DMA転送は、実行中の命令が終了してから行われる。連続データを扱い、かつ多サイクルを要する処理を行なうような場合には、ディジタル・シグナル・プロセッサ内部の入出力

インタフェイス回路は、入力されたデータを一時保持しておくレジスタを具備することが必要となる。

(従来の技術)

第5図はデジタル・シグナル・プロセッサに内蔵されている従来のシリアル入出力インターフェイス回路のブロック図である。第5図(A)はこのうち入力インターフェイス回路に関し、第5図(B)は出力インターフェイス回路に関する。

第5図(A)において、入力インターフェイス回路は図示するようにシフトレジスタ(以下、單にレジスタという)の2段構成である。1段目はレジスタ(S10)11及び12からなり、2段目はレジスタ(S11)13及び14からなる。各レジスタ11~14は、例えば8ビット構成である。シリアルなデータは1段目のレジスタ11に与えられる。レジスタ12はレジスタ11からデータを受け取る。2段目のレジスタ13及び14はそれぞれ、1段目のレジスタ11及び12から

データを受け取る。レジスタ13及び14の出力は、デジタル・シグナル・プロセッサの内部バス15にパラレル形式で転送される。制御部16はレジスタ11~14に制御信号を送り、次のとおり制御する。いま、入力データは16ビット幅であるとする。入力データは順次レジスタ11に与えられ、8ビット分格納されると、これらのデータをレジスタ12に転送する。このようにして、レジスタ11及び12に合計16ビットが格納されると、制御部16からのデータ転送を示す制御信号に応答して、それぞれ2段目のレジスタ13及び14にデータを転送する。

第5図(B)に示す出力インターフェイス回路は、第4図(A)に示す入力インターフェイス回路と同様に2段構成である。レジスタ21及び22は1段目を構成し、レジスタ23及び24は2段目を構成する。レジスタ21及び22は内部バス16からデータをパラレルで受け取る。レジスタ21及び22に格納されたデータはそれぞれ、2段目のレジスタ23及び24に転送される。レジスタ

24の出力はレジスタ23に転送され、このときレジスタ23のデータはシリアルなデータ出力として外部に与えられる。レジスタ21~24は制御回路26により、次のとおり制御される。すなわち、内部バス15からのデータは、レジスタ21及び22に一時保持される。このデータは制御回路26からの所定のタイミングで、16ビット単位でレジスタ23及び24に転送される。転送されたデータを受け取ったレジスタ24はレジスタ23にデータを転送する。レジスタ23はレジスタ24からのデータを受け取る一方、シリアルなデータを外部に出力する。

以上のようにシリアル入出力インターフェイスを構成することで、連続するデータであっても逐次処理することができる。

(発明が解決しようとする課題)

しかしながら、上記のような従来のシリアル入出力インターフェイス回路は以下の問題点を有する。デジタル・シグナル・プロセッサを実際に通

信システム等に用いる場合は、データのビット数をある程度可変して用いることが一般的である。例えば、上記の従来例において、回路は最大16ビット幅を処理できるが、必要に応じて8ビットのデータ幅でデータ処理を行なう場合がある。この場合、従来の入出力回路では1段目のレジスタに16ビット分が全部詰ってから2段目のレジスタに転送しているため、8ビット分のデータ、換言すれば1段目の1つのレジスタは役に立っておらず実質的に余分なものとなっている。従って、レジスタを効率良く用いることができなかつた。

従って、本発明は上記問題点を解決し、小さな回路規模で、インターフェイス回路を構成するレジスタを効率良く用いることを目的とする。

(課題を解決するための手段)

第1図は、本発明のインターフェイス回路の原理ブロック図である。図示するブロック構成は入力インターフェイス回路に関するものであるが、信号の方向を逆にすれば(図中の矢印を逆方向にすれ

ば）、出力インターフェイス回路になる。

インターフェイス回路は1段目をレジスタ31で構成し、2段目をレジスタ32及び33で構成する。レジスタ31のビット幅はレジスタ32及び33の合計のビット幅より小さい。例えば、シリアルな入力データは最大16ビット幅であるとすれば、各レジスタ31～33を8ビットのレジスタで構成する。

〔作用〕

入力データは順次レジスタ31に格納される。そして、8ビット分のデータ（上位）が格納されると、この8ビットデータはレジスタ32に転送される。引き続きレジスタ31は再び入力データを順次格納していく。そして、再び8ビット分のデータ（下位）が格納されると、この8ビットデータはレジスタ33に転送される。このように、16ビット幅のデータを処理する場合には先行する8ビット分のデータを保持する。実際の用途においては、16ビットのデータにおいて、8ビッ

タ41に格納されると、この8ビット分のデータはいずれか一方のレジスタ、例えばレジスタ42に与えられる。次の8ビット分のデータがレジスタ41に格納されると、この8ビット分のデータは他方のレジスタ、先の例ではレジスタ43に与えられる。レジスタ42及び43に格納されたデータは、内部バス15に転送される。以上の動作は、データ入力のタイミングを制御する制御回路46で制御される。

第3図(A)は、第2図(A)に示す入力インターフェイス回路の動作タイミング図である。レジスタ41には第3図(A)の(a)に示す入力同期信号に同期して、(b)に示す入力データが最上位ビットD0から順に与えられる。レジスタ41は制御部46からの(c)に示す書き込みクロックの立上りに同期して、入力データを1ビットずつ取り込む。取り込まれた入力データは1ビットずつ、レジスタ41内をシフトする。このようにして、レジスタ41内に8ビット分の入力データが格納されると、制御部46は2段目のレジ

ト分保持できれば十分である。また、入力データが16ビットから8ビットに切替った場合には、同様先行する8ビット分のデータを保持する。従来のように、8ビット幅の入力データに対して16ビットを保持することはない。これにより、インターフェイス回路内のレジスタの容量を減らして、レジスタを効率良く用いることができる。

〔実施例〕

以下、本発明の実施例を図を参照して説明する。

第2図は本発明の一実施例のブロック図である。第2図(A)は入力インターフェイス回路を示し、第2図(B)は出力インターフェイス回路を示す。

第2図(A)において、入力インターフェイス回路は1段目をレジスタ(S10)41で構成し、2段目(S11)をレジスタ42及び43で構成する。入力データが最大16ビット幅の場合、レジスタ41～43はそれぞれ8ビット幅の容量を持つ。レジスタ41はシリアルな入力データを1ビットずつ受け取る。8ビット分の入力データが

レジスタ42に制御信号（例えば、書き込みクロックの立下りに同期する）を与え、レジスタ41のデータをレジスタ42に転送させる。これにより、レジスタ42のデータは有効(Valid)になる。

一方、入力データのビットD7に続くビットD8以降のデータは、書き込みクロックに同期してレジスタ41内に1ビットずつ書き込まれる。そして、8ビット分の入力データが書き込まれると、制御部46からの制御信号により、この入力データをレジスタ43に転送される。そして、転送されたレジスタ43内のデータは有効(Valid)になる。

このように16ビット幅の入力データに対し、レジスタ41に8ビットずつデータを格納した後、8ビットのレジスタ42又は43のいずれか一方に転送している。従って、入力データが連続している場合でも確実に処理できる。また、16ビット幅のデータを処理中に8ビット幅のデータに切替った場合でも、レジスタを無駄なく効率良く用いることができる。

第2図(B)に示す出力インターフェイス回路において、1段目をレジスタ51及び52で構成し、2段目をレジスタ53で構成している。入力インターフェイス回路と同様に、各レジスタ51～53は8ビット幅の容量を持つ。レジスタ51及び52にはパラレル形式で、内部バス15からデータが転送される。レジスタ51及び52のデータは、交互にレジスタ53に与えられる。レジスタ53に格納されたデータは、外部にシリアル形式で出力される。制御部56はレジスタ51～53の動作を制御する。

第3図(B)は第2図(A)の出力インターフェイス回路の動作タイミング図である。出力すべきデータが16ビット幅の場合、レジスタ51及び52にはパラレル形式でデータが書き込まれる。この状態で、制御部56は第3図(B)の(d)に示すデータ転送を指示する制御信号を、レジスタ51及び52のどちらか一方に与える。例えばレジスタ51にこの制御信号が与えられた場合、上位の8ビットD0～D7がレジスタ51からレ

タ入力はシリアル形式で入力インターフェイス部66に与えられ、出力インターフェイス部67からのデータ出力はパラレル形式で外部に出力される。入力インターフェイス部66及び出力インターフェイス部67はそれぞれ第2図(A)及び第2図(B)に示す回路で構成されている。従って、本発明を適用したデジタル・シグナル・プロセッサ60は、一般的のものに比べ小型でインターフェイス部のレジスタを効率良く使用している。逆に、一般的のものと同一サイズとすれば、レジスタの容量が減った分だけ他の機能を持たせることができる。

以上、本発明の実施例を説明した。上記実施例では最大ビット幅が16ビットであったが、32ビット以上の場合は同様に実施できる。

(発明の効果)

以上説明したように、本発明によれば、小さな回路規模で、インターフェイス回路を構成するレジスタを効率良く用いることができ、デジタル・シグナル・プロセッサ等に適用できる。

レジスタ53に転送される。そして、(c)の読み出しクロックの立ち上がりに同期して、レジスタ53からシリアル形式でデータが出力される。このとき、(a)に示す出力同期信号がビットD0の転送とともに生成される。そして、8ビット分のすべてのデータがレジスタ53から転送されると、制御部56はレジスタ52に(d)に示す制御信号(図の2発目のパルス)を与える。これにより、レジスタ52からレジスタ53へ下位の8ビットD8～D15のデータが転送される。そして(c)に示す読み出しクロックに同期して1ビットずつ外部に転送される。

第4図は、本発明をデジタル・シグナル・プロセッサに適用した場合の構成例を示す図である。図示するようにデジタル・シグナル・プロセッサ60はプログラムシーケンス部61と、アドレス演算部62と、内部RAM63と、演算部64と、特殊レジスタ/カウンタ部65と、入力インターフェイス66と、出力インターフェイス部67と、内部バス68とを備えている。外部からのデータ

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図(A)は本発明実施例の入力インターフェイス回路のブロック図、

第2図(B)は本発明実施例の出力インターフェイス回路のブロック図、

第3図(A)は第2図(A)に示す入力インターフェイス回路の動作タイミング図、

第3図(B)は第2図(B)に示す出力インターフェイス回路の動作タイミング図、

第4図は本発明の一適用例のブロック図、

第5図(A)は従来の入力インターフェイス回路のブロック図、及び

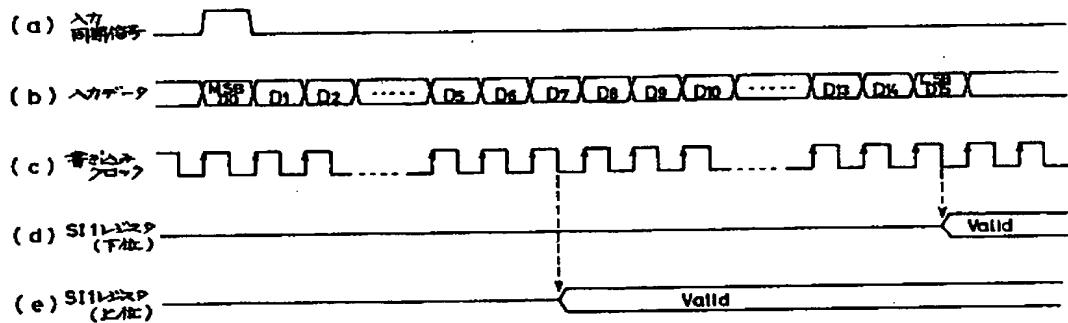
第5図(B)は従来の出力インターフェイス回路のブロック図である。

図において、

15は内部バス、

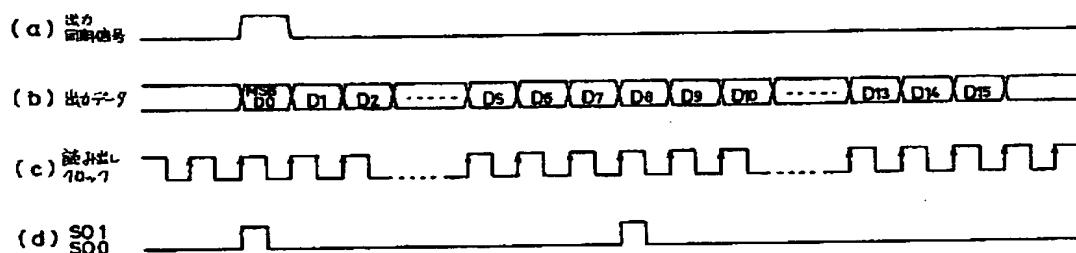
31～33はレジスタ、

41～43はレジスタ、



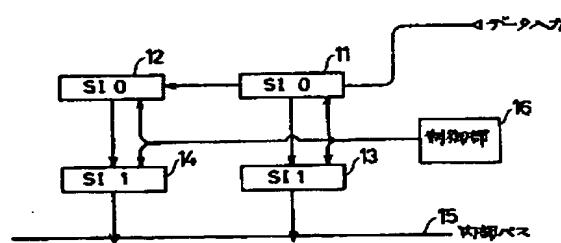
第2図(A)のハーフダブルフェイズ回路の動作タイミング

第3図(A)



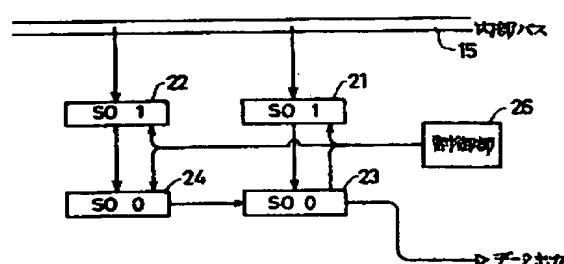
第2図(B)の出力ダブルフェイズ回路の動作タイミング

第3図(B)



従来のハーフダブルフェイズ回路のブロック図

第5図(A)



従来の出力ダブルフェイズ回路のブロック図

第5図(B)